DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8129280

Basic Patent (No, Kind, Date): JP 63119268 A2 880523 < No. of Patents: 002>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): HIRANO RYUMA; ISHIHARA SHINICHIRO; HIRAO TAKASHI

IPC: *H01L-029/78; H01L-027/12 Derwent WPI Acc No: C 88-180420 JAPIO Reference No: 120367E000099 Language of Document: Japanese

Patent Family:

Patent No Kind Date Applic No Kind Date

JP 63119268 A2 880523 JP 86264555 A 861106 (BASIC)

JP 95099774 B4 951025 JP 86264555 A 861106

Priority Data (No,Kind,Date): JP 86264555 A 861106

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02502368

Image available

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:

63-119268 [JP 63119268 A]

PUBLISHED:

May 23, 1988 (19880523)

INVENTOR(s): HIRANO RYUMA

ISHIHARA SHINICHIRO

HIRAO TAKASHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company

or Corporation), JP (Japan)

APPL. NO.:

61-264555 [JP 86264555]

FILED:

November 06, 1986 (19861106)

INTL CLASS:

[4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,

MOS)

JOURNAL:

Section: E, Section No. 664, Vol. 12, No. 367, Pg. 99,

September 30, 1988 (19880930)

ABSTRACT

PURPOSE: To realize a gate insulating film having good interface characteristic at a low temperature by forming a silicon thin film on a substrate by the reduced pressure vapor growth method and then forming a gate insulating film through thermal oxidation of silicon thin film surface under the atmosphere at least including oxygen without destroying vacuum condition of reduced pressure vapor growth apparatus.

CONSTITUTION: A silicon thin film 2 is deposited in the thickness of 1000 angstroms -5000 angstroms on an economical and low temperature glass substrate 1 using SiH(sub 4) by the reduced pressure vapor growth method, the O(sub 2) gas is introduced in the pressure of 0.1 Torr-100 Torr without destroying vacuum condition of reduced pressure vapor growth apparatus, a silicon thermal oxide films 3-1 is formed in the thickness of several tens several hundreds angstroms at the surface of silicon thin film 2 by the thermal oxidation for about 10 minutes to 5 hours at a temperature equal to that for deposition of silicon thin film and a gate insulating film 3 is formed by depositing Ta(sub 2)O(sub 3) film 3-2. A gate electrode 4 is patterned, an interlayer insulating film 5 is deposited, a contact hole is opened, aluminum wiring 6 is formed and finally Si(sub 3)N(sub 4) of a protection film 7 is deposited by PCVD. Thus, a silicon thin film MOS transistor can be formed.

四日本国特許庁(JP)

の特許出願公開

母公開特許公報(A)

昭63-119268

Mint Cl.4

識別記号 311

庁内整理番号

P-8422-5F

母公開 昭和63年(1988)5月23日

H 01 L 29/78 27/12

審査請求 未請求 発明の数・1 (全3頁)

❷発明の名称

半導体装置の製造方法

创特 顧 昭61-264555

包出 顧 昭61(1986)11月6日

⑫発 阳 03発 者 眀

野 石原

馬 郎

大阪府門真市大字門真1006番地 松下電器產業株式会社內 大阪府門真市大字門真1006番地 松下電器產業株式会社内

70発 眀 者 尾

大阪府門真市大字門真1006番地 松下電器產業株式会社内 大阪府門真市大字門真1006番地

砂出 松下電器產業株式会社 四代 理 弁理士 中尾 敏 男

外1名

1、発明の名称

半導体装置の製造方法

- 2、特許請求の範囲
- (1) 絶録基板上もしくは絶録膜上に少くとも気体 状シリコン化合物を含むガスを用いて減圧気相成 長法によりシリコン薄膜を形成し、波圧気相成長 装置の真空を破らないで少くとも酸素を含む混合 ガス雰囲気中で熱酸化して前記シリコン薄膜の炭 面化シリコン酸化膜を形成することを特徴とする 半導体装置の製造方法。
- (2) シリコン酸化膜を形成後その上に絶縁膜を堆 **殺するととを特徴とする特許請求の範囲第1項記** 載の半導体装置の製造方法。
- (3) 絶縁膜の堆積後、少なくとも酸素を含む雰囲 気中で熱処理するととを特徴とする特許請求の範 囲第2項記載の半導体装置の製造方法。
- 3、発明の詳細な説明

産業上の利用分野

本発明は菩膜半導体装置の絶録膜の製造方法で

券に低温化に関するものである。

従来の技術

第2図に従来のシリコン薄膜NチャンネルMOS トランジスタの断面構成図を示してその製造方法 について説明する。石英基板11上にシリコン簿 腹12を形成してそれを島状に加工し、その後ゲ ート絶録膜13を形成する。例えば特開昭58ー 116771号公報ではゲート絶録膜13を温度 800~1000℃で酸素を含む雰囲気又は水蒸気 中でシリコン薄膜12の表面を熱酸化して形成し ている。14はソース・ドレインのアルミ電極、 15はポリシリコンゲート電極、16は層間絶縁 膜、17はパッシペーション膜である。又、例え ば特開昭 58-115862号公報ではシリコン 薄膜12の上に直接気相成長法でSiOっを堆積し ゲート絶縁膜13を形成している。さらに、特開 昭58-82568号公報ではゲート絶録度13 の下に安定下処理層としてシリコン書談12の表 面をプラメマ酸化、又は風変1000℃程度の熱酸 化、又は酸素イオン注入による酸化額20~30人

3 4. 17

を使い、その上にスパッタでゲート絶縁膜13を 堆積している。

発明が解決しよりとする問題点

従来のシリコン薄膜MOSトランジスタの製造 工程ではゲート絶象膜を温度800℃~1000℃ の熱酸化で形成していた。そのため、基板に高温 化耐える石英もしくは高温用耐熱性ガラス基板等 の萬価な高融点の絶縁茘板が必要となり製造コス トが高い。又、高温工程なのでシリコン寒膜にか かる熱歪がクラックの原因になったり、不純物の 基板等から拡散する問題があった。又、温度700 で以下で熱酸化する場合は酸化速度が遅く界面特 性の悪いものであった。又、低温工程でゲート絶 緑膜を堆積する場合にはシリコン薄膜上に直接に - 気相成長したり、安定下処理層を介してスパッタ リングする方法等があるが、これらの方法だとゲ 一ト絶縁膜13とシリコン薄膜12との界面特性 がシリコン専膜表面の汚染やダメージ等により悪 いため良好なMOSトランジスタ特性を得ること ができない。よって低温でシリコン薄膜トランジ

と貫う問題点があった。 問題点を解決するための手段

スタの界面特性が良いゲート絶縁膜ができてない

ので安価で信頼性がありしかも電気特性の良いシ

リコン薄膜MOSトランジスタが得られていない

上記問題点を解決するための本発明の技術的を 手段は、基板上に減圧気相成長法でシリコン溶膜 を形成した後、減圧気相成長装置の真空を破らな いで少くとも酸素を含む雰囲気中でシリコン解膜 表面を熱酸化してゲート絶縁膜を形成することで

作 用

被圧気相成長法により形成されたシリコン薄膜 の表面は滅圧気相成長装置の真空を破らなければ 非常に清浄であり活性であるから、その表面には 温度 500℃~700℃で数十人~数百人の熱酸化 胶が早くしかも界面特性良く形成される。

実 旅 例

以下、本発明の実施例について説明する。図は 本発明のシリコン薄膜MOSトランジスタの断面

構成図である。安価な低温用(歪点800℃以下) のガラス基板 (例えばコーニング7059)1の 上に被圧気相成長法でSiH⊿を用い、温度550℃ ~700℃,圧力ロ, O5 Torx~1 Torr でシリコン 蒋謨2を1000人~6000人堆積し、波圧気相 成長装置の真空を破らないでO。 ガスを圧力O.1Torx ~100Torr になるように導入し、シリコン薄膜 の堆積と同程度の温度で約10分~5時間熱酸化 を行いシリコンp数 2の表面に数十~数百人のシ リコン熱酸化膜3-1 を形成した。そして、さら にゲート耐圧を上るためにTa₂On 膜3-2を熱酸 化膜3-1の上にマグネトロンスパッタ法で600% 椎積してゲート絶像膜3を形成した。その後、ゲ ート電板4をパターンニングしセルフアライメン トでA』,Bをイオン注入し営業中で温度550℃~ 700℃で1時間から30時間活性化してソース・ ドレインを形成した。そして、層間絶縁膜 5を堆 **積しコンタクトホールを開けアルミ配離8を行い** 最後にPCVDで保護膜7のSi₃N₄を堆積して シリコン薄膜MOSトランジスタを形成した。

6 N- 5

との結果、界面電荷密度が温度800℃以上で 熱酸化したときの熱酸膜のと同程度であり、形成 されたMOSトランジスタの移動度もP、N両チ ャンネルともに数十fl/V·Sあり、ドレイン電流の ON/OFF比も6ケタ以上あった。又、シリコン 薄膜2の堆積は温度600℃以上では多結晶シリ コンとなりトランジスタの移動度を高くするし、 温度550℃では圧力を高くして堆積して堆積時 間を早くしてヤれば良い。本実施例では全工程の 最高温度が550℃でもシリコン薄膜MOSトラ ンジスタが形成できることを示した。さらに、 TapOs 膜3-2 がない場合はゲート耐圧が低くな るだけで問題はなかった。又、ゲートの界面特性 は無限化膜3-1で決っているのでスパッタ,CVD 等で熱限化膜3-1に絶録度を堆積しても、MOS トランジスタの電気特性を悪くしたりはしなかっ た。さらに、絶縁膜の堆積後、酸紫を含むガス中 で温度560℃~700℃で熱処理をするとさら にMOSトランジスタの電気特性は良くなった。

発明の効果

本発明によればシリコン海膜MOSトランジスタのゲート絶縁膜を被圧気相成長させたシリコン 海膜を装置の真空を破ることなく熱酸化して形成することにより界面特性の良いゲート絶縁膜が低温でできた。又、その熱酸化膜の上に絶縁膜を維積した2層構造のゲート絶縁膜でもできることを示した。又、これらのことより安価な絶縁基本上には類性があり特性の良いシリコン海膜MOSトランジスタが低温で可能であることを示した。

4、図面の簡単な説明

第1図は本発明の実施例の薄膜トランジスタの 断面構成図、第2図は従来の薄膜MOSトランジ スタの断面構成図である。

1 ……ガラス基板、2 ……シリコン薄膜、3 … / …ゲート絶縁膜、3 …1 ……熱酸化膜、4 ……ゲート電極、5 ……層間絶縁膜、1 1 ……石英基板。 代理人の氏名 弁理士 中 尾 敏 男 任か1名

1 一ガラス基板 2 一シリコン溶成 3 ーケート絶縁成 3-1 一熱酸化度 3-2 — Ta2 Os 度 4 — PolySi ゲート電板

